

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093842

(43)Date of publication of application : 10.04.1998

(51)Int.Cl. H04N 5/208  
H04N 7/01

(21)Application number : 08-211629 (71)Applicant : LG ELECTRON INC

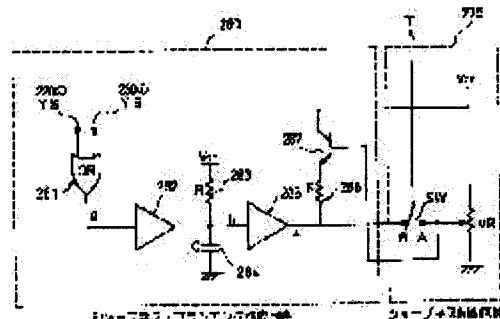
(22)Date of filing : 09.08.1996 (72)Inventor : ISONO KATSUO

## (54) TV SIGNAL PROCESSING CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To effectively eliminate white longitudinal lines at both ends of a screen by giving a horizontal sharpness blanking signal to a sharpness control terminal for a non-signal period including both left/right ends of the screen in normal display of a television receiver with a laterally long screen.

**SOLUTION:** One input of an OR gate 281 of a sharpness blanking generating circuit 280 receives a luminance signal YS from an aspect ratio conversion circuit 220 and the other input receives a luminance signal YS from a PIP circuit 230 to display a slave pattern in a master pattern. A time constant circuit consisting of a resistor 283 and a capacitor 284 of the buffer 280 delays an output leading edge but does not delay a trailing edge. An output waveform (i) is fed to a sharpness terminal T via a position B of a changeover switch SW via a transistor(TR) 287 deciding a high level output and a buffer 285. As a result, a quadratic differentiation waveform at both ends of the screen in a luminance output signal is eliminated and undesired longitudinal lines at both ends of the screen are eliminated while keeping a sharp effect on the screen except both the ends.



## LEGAL STATUS

[Date of request for examination]

11.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] In the wide screen television (TV) in which especially this invention has the aspect ratio of 16:9 about TV digital disposal circuit In TV digital disposal circuit which has the sharpness circuit which raises the aspect ratio converter which carries out time amount compression horizontally, and the visibility of a screen By adding the control signal (sharpness blanking signal) which forbids or reduces the sharpness effectiveness to a sharpness circuit control terminal about a non-signal period including the displayed screen right-and-left edge It is related with the sharpness circuit for wide screen televisions which performs sharpness control which removes or reduces the secondary differential quantity region signal component of a screen right-and-left edge.

#### [0002]

[Description of the Prior Art] Drawing 1 is the explanatory view of the display mode of a wide screen television. When this Fig. is the image software whose video signals are 4:3 aspect ratios in the wide screen television of 16:9 aspect ratios, a round circle explains how it is displayed. In the case of a "full mode display", since (A) is 16:9 aspect ratio, "it is circular" is extended horizontally and it is displayed on a "ellipse."

[0003] If digital processing is carried out and (B) compresses a video signal 3/4 horizontally in the case of a "normal mode display", an image without distortion will be displayed. In this case, it is generated by the amount of [ which does not have an image in right and left ] (shadow area) Kurobe. (C) -- \*\* - \*\* -- another image software in the case of a "PIP/POP display" -- frame synchronization -- and it compresses, and inserts in a parent screen and two screens or many screens are displayed. \*\* Calling PIP (picture in picture) by the case where another image software is displayed in a parent screen, \*\* and \*\* call POP (picture out of picture) by the case where separated from the parent screen and another image software is displayed.

[0004] These modes are explained below at a detail. In order to simplify explanation, let an input video signal be the circular pattern of 4:3 aspect ratios. If this circular pattern is displayed on the screen of 16:9 aspect ratios as it is, as shown in (A), it will be displayed on the ellipse extended 4/3 time horizontally. In this case, although it will become "circular" if actuation extended further 4/3 time perpendicularly is performed, it becomes the round shape (not shown) into which the upper and lower sides were cut. by the way, input video-signal software -- the so-called "letter box" (Letter Box) method -- image software (Vistar Size) of 16:9 aspect ratio it is -- if -- since a part for up-and-down Kurobe is cut, it becomes a display gestalt good visual exactly.

[0005] It is because corresponding to the NTSC signal of the letter box methods with above one of the purpose of a wide screen television etc. However, the up-and-down scanning line for

Kurobe (about 120) is lost in this case, and it is displayed by 360 of 480 effective scanning lines. Moreover, as image software corresponding to the full mode display of (A), it is what transformed the Hi-Vision (Hivision) method into NTSC system, i.e., MUSE/NTSC. A conversion signal or video camera 16:9 There is an aspect ratio signal etc. In this case, even if it does not expand the upper and lower sides, it can respond in the full mode of 16:9 aspect ratios as it is.

[0006] Image software current [ most ] is 4:3 aspect ratios. What is necessary is to compress right and left 3/4 time, and just to display them as mentioned above, in order to display by 16:9 aspect ratios. (B) is the screen which compressed right and left. It is compressing a video signal by a digital digital disposal circuit, compressing b horizontal deflection size as the approach of this compression, etc. However, when displaying another image software (two screen display), a PIP display and a POP display are possible for the case of a, but the POP display is impossible although the PIP display is possible for the case of b.

[0007] Drawing 2 and drawing 3 are the block diagrams of a wide screen television signal-processing system. The inside of drawing, and 100 The antenna for RF input, and 110 Antenna distributor (DV), 120 The Maine tuner (I/F detection: IF1) and 130 A subtuner (I/F detection: IF2), 140 The selector for the Maine video signals (SEL1), and 150 The selector for sub video signals (SEL2), SS is a selection signal and 155. An external video input terminal (EXT) and 160 Maine video Y/C Separation circuit (Y/C1), 170 Subvideo Y/C A separation circuit (Y/C2) and 180 Maine color decoder (D1), 190 Maine synchronizing separation AFC A circuit (AFC1) and 200 Sub color decoder (D2), 210 Sub synchronizing separation AFC A circuit (AFC2) and 220 The Maine aspect ratio converter (ARC), 230 PIP/POP A circuit and 240 A video change-over circuit and 250 The delay line/LPF (DLY), 260 Y / color difference matrix circuit, and 270 A sharpness circuit (SHP) and 275 A sharpness control circuit (SHPC) and 280 a sharpness blanking creation circuit (SHPB) -- it comes out.

[0008] Actuation of this circuit is explained in detail below. antenna 100 from -- if RF TV signal is inputted -- distributor 110 pass -- Maine tuner 120 And subtuner 130 It is distributed. Maine tuner 120 Parent screen (Maine screen) It is the tuner of \*\* and is the subtuner 130. Child screen (sub screen) It is a \*\*. The following is explanation about signal processing of a parent screen system.

[0009] Maine tuner 120 It is an image detection output to a video signal (composite video signal). It is outputted. this composite video signal -- selector 140 it inputs -- having -- selector 140 External video input terminal 155 from -- one video signal including a video signal etc. is chosen. In addition, although a video signal and a sound signal are inputted into coincidence, in this explanation, it omits about voice.

[0010] selector 140 from -- a composite video signal -- Y/C Separation circuit 160 It separates into a luminance signal (Y signal) and a carrier chrominance signal (C signal). Y/C 1 which usually used BPF for C signals, and the subcarrier trap for Y signals in order to have dissociated A dimension filter, the two-dimensional filter which used the delay line, the three-dimension filter which used the frame memory are used.

[0011] C signal is a color decoder 180. A color recovery is carried out and it is R-Y. And B-Y A color-difference signal is outputted. moreover, synchronizing separation AFC from a Y signal Circuit 190 from -- Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD dissociate, and are generated. the aspect ratio converter (ARC) 220 -- Y, R-Y, and B-Y etc. -- it is prepared in order to carry out time base compaction of the component signal. About these component signals, this circuit is A/D converter 221. A/D It changes and is the Rhine memory

(LM) 222 about this. It once stores, it reads further and is D/A. Converter 223 D/A Time base compaction is carried out by changing. in this case, A/D and a read-out clock with a clock 4/3 time the frequency of memory write -- Rhine memory 222 from -- reading -- D/A It changes. [0012] In this case, all of writing and a read-out clock are the synchronizing separation AFC for parent screens. Circuit 190 It is carried out synchronizing with HD signal and VD signal which are an output signal. For example, it is  $f_H$  (NTSC:15.734264kHz) about a Horizontal Synchronizing signal. It carries out and is  $f_w$  about a write-in clock. It carries out and is  $f_R$  about a read-out clock. It will be set to  $f_w = 13.5 \text{ MHz} = 858 \times f_H$   $f_R = 4/3 \times f_w = 18 \text{ MHz} = 1144 f_H$  if it carries out.

[0013] As mentioned above, Rhine memory 222 When time base compaction of the \*\*\*\* is carried out for going and carrying out time base compaction, a part without a video signal is generated also into parts other than a level blanking. the signal level of the part -- usually -- a Y signal -- pedestal level (image clamp level) it is . Moreover, R-Y and a B-Y signal are color-difference-signal pin center,large level (clamp level). It is fixed.

[0014] Above-mentioned component (Y, R-Y, B-Y color-difference signal) An output signal is the change-over circuit 240. It is inputted and is the clamping circuit (CLP1) 241 of the interior. It is clamped. the clock timing generator (CTG) 224 in the aspect ratio converter (ARC) 220 -- synchronizing separation AFC Circuit 210 from -- Horizontal Synchronizing signal HD and Vertical Synchronizing signal VD -- winning popularity -- Horizontal Synchronizing signal HD to level clamp signal CLP And the image period signal YS is generated and it is inputted into the change-over circuit 240.

[0015] Next, PIP/POP Child screen for a display (sub screen) Signal processing of a system is explained in detail below. In addition, the subtuner 130, a selector 150, and Y/C The separation circuit 170, a color decoder 200, and synchronizing separation AFC Circuit 210 Since it is the same as that of it of a parent screen system, explanation is omitted. PIP/POP A display differs from a parent screen (it is good even when it is the same). It is a video signal, and is usually the magnitude of the 1/3rd place of each every direction of a parent screen, and they are some parent screens (PIP). A part for or right-and-left Kurobe (POP) It is displayed in piles. Of course, not only 1/3 but 1/2, and 1 / 4 grades are also possible for the magnitude of a screen. Moreover, many screen display is also possible (however, an animation is restricted to one screen in many cases).

[0016] PIP The component signal (Y, R-Y, B-Y) of \*\* is A/D. Converter 231 A/D It is changed and is a frame memory 232. It is written in. In this case, 1 / 3 infanticide, and the horizontal direction of the scanning line 1 / 3 infanticide of DOT are performed. the time of writing -- synchronizing signal AFC Circuit 210 from -- it synchronizes with Horizontal Synchronizing signal HD and Vertical Synchronizing signal HD. frame memory 232 from -- synchronizing separation AFC of a parent screen Circuit 190 from -- it reads with the clock which synchronized with Horizontal Synchronizing signal HD and Vertical Synchronizing signal HD -- having -- D/A Converter 238 D/A It is carried out. in this case, a parent screen -- the same -- clock timing generator 234 from -- write-in clock  $f_w$  Read-out clock  $f_R$  A/D A converter 231 and frame memory 232 And D/A Converter 233 It outputs like illustration, respectively.

[0017] Usually, at the time of read-out, since the synchronizing signal of a parent screen and a child screen is not in agreement, in order to make it synchronize with the synchronizing signal of a parent screen, frame synchronization is taken. Also for the reason, it is a frame memory (FM) 232. It is required. PIP Circuit 230 from -- component signal for child screens (Y, R-Y, B-Y) by which frame synchronization was carried out and picture compression was carried out YS signal

which shows the range of the video signal of a child screen outputs -- having -- change-over circuit 240 it inputs -- having -- internal clamping circuit (CLP2) 243 It is clamped. In this case, clamp level is the same level as a parent screen, and when compounding the screen of parents and a child, a level difference does not produce it.

[0018] moreover, the part without a component signal -- the time of a parent screen -- the same -- a Y signal -- pedestal level (clamp) R-Y And B-Y a signal -- pin center,large level (clamp) it is . Next, a parent screen is the logging circuit (CUT1) 242. A child screen is the logging circuit (CUT2) 244. According to each YS signal, a component signal is started and it is compounded. However, YS signal of a parent screen is PIP. Since the part in which YS signal exists is removed, they are an inverter circuit 245 and AND. Circuit 246 It starts, after processing YS signal, and it is a circuit 242. A signal is started. The time amount except being started is each clamp signal level (as mentioned above a Y signal pedestal level, R-Y, and B-Y signal pin center,large level). It becomes.

[0019] Next, a Y signal is addition (control by the user) about the visibility of a screen in the sharpness circuit (SHP) 270. It is outputted by being carried out. The amount of addition of visibility is performed by controlling DC electrical potential difference in the adjustable volume VR (referring to drawing 8 ), where the switch SW of the sharpness control circuit (SHPC) 275 is connected to the A side (in addition, although Switch SW was not formed conventionally but direct continuation of the output and the sharpness circuit 270 of the adjustable volume VR was carried out, prepared for the change-over with the sharpness blanking creation circuit 280 of this invention mentioned later.). Therefore, the B side of Switch SW and the sharpness blanking creation circuit 280 Since it is the essential part of this invention if it attaches, drawing 8 mentioned later explains.

[0020] by the way, sharpness circuit 270 \*\*\*\* -- some delay (about 150 - 200 ns) since it is generated -- R-Y And B-Y In order to give delay of tales doses to a signal, the delay line or LPF 250 (DLY) are prepared. Next, R-Y And B-Y A signal is Y/C. Color difference matrix circuit 260 Inner clamping circuit 261 (CLP1) It is inputted and they are hue control (tint control) and color control (color level control). It carries out and is the RGB matrix circuit 263. It is inputted. In addition, 290 It is contrast control and is 300. It is brightness control, 310 is hue control, and 320 is color control.

[0021] On the other hand, it is the sharpness circuit 270. The Y signal through which it passed is a clamping circuit 262. It is clamped and is the RGB matrix circuit 263 brightness control (brightness control) and after contrast control (contrast control) was carried out. It is inputted and is R-Y. And B-Y A matrix is taken a signal and in between and it becomes R, G, and B signal. It is amplified with video amplifier and R, G, and B signal are RGB of CRT. Cathode is supplied respectively and it is CRT. It is displayed on a tubular surface.

[0022] Drawing 4 is the detail block diagram of the sharpness circuit shown in drawing 3 , and drawing 5 is a signal waveform diagram in each point of the drawing 4 circuit. It sets to drawing 4 and is 271. And 272 It is a delay element (transfer function Z). Moreover, 273, 275, and 277 An adder circuit, 274, and 276 are multiplication circuits. In addition, multiplication circuit 274 Immobilization 1/2 It is twice and is the multiplication circuit 276. Giving a multiplier G, this value is an amount decided by a user's control. Furthermore, it is expressed transfer function  $Z=e^{-Std}$ . Moreover, the amount  $td$  of delay In the case of the Y signal of NTSC system,  $td = 150 - 180$  ns is confirmed in respect of screen visibility. In addition, e is a natural logarithm and S is the operator of a Laplace transform. Input Yin It reaches and Yout is the sharpness circuit 270 of drawing 2 . It corresponds to it.

[0023] The signal wave form of each point of drawing 4 is explained below, referring to drawing 5. Wave-like video signal Yin of now and illustration of a points Suppose that it gave (transfer function 1). and the wave of b points -- the wave of a points -- delay circuit 271 The amount  $td$  (150 - 180 ns) of delay to depend only -- it is delayed (transfer function Z). the wave of c more points -- delay circuit 271 And 272 Amount of delay  $2td$  (300 - 360 ns) to depend only -- it is delayed (transfer function Z2). Moreover, the wave of d points adds the wave of a points, and the wave of c points, and doubles them  $1/2$  (transfer function  $(1+Z2)/2$ ). moreover, the wave of e points turns into a secondary differential wave from the wave of b points, and the wave of d points like illustration (transfer function  $Z - (1+Z2)/2$ ) Furthermore, it is added to the wave of b points in the multiplication circuit 276, and becomes the output wave (Yout) of f points. Multiplication (G times) (transfer function  $Z-G$  ( $Z - (1+Z2)/2$ )) It is carried out and is an adder circuit 277. The wave of f points serves as a high video signal of visibility with a preshoot/overshoot (preshoot/over shoot).

[0024] Moreover, the wave of f points is a delay circuit 271. Only the amount  $td$  of delay is delayed compared with the wave of a points. Therefore, the delay line 250 of drawing 3 It is R-Y then. And B-Y Only tales doses need to delay a signal. Here, in the case of  $G=0$ , the amount of secondary differential added to the original signal is set to 0, and, as for a video signal, the amount of delay serves as a signal of  $td$  with origin. Moreover, when G is negative, a start edge becomes still looser than the edge of the original signal, and when G is forward, an edge starts. If G is enlarged too much, S/N will get worse, overshoot will be conspicuous and degradation of image quality will be produced. It is effective in G looking vividly as for an image when proper.

[0025]

[Problem(s) to be Solved by the Invention] Although drawing 6 shows the screen of a "normal mode display", the white vertical line by sharpness will be displayed on screen both ends. Moreover, although the sharpness effectiveness of the interior of the graphic display sections A other than both ends is fitness, the white vertical line of the both ends of Section A is visually unsuitable. When especially the brightness of both ends is high, a white vertical line is emphasized more and it is visible, and it will become offensive to the eye.

[0026] This white vertical line is produced in the following reason. Namely, sharpness circuit 270 of drawing 3 In the control terminal T, it is the sharpness control circuit 275. A predetermined electrical potential difference is impressed by the adjustable volume VR (refer to drawing 8 ) (Switch SW is connected to the A side in this case). Sharpness is controlled about the whole screen. Consequently, a white vertical line unnecessary for screen both ends will arise at the time of a normal mode display like illustration.

[0027] Then, the purpose of this invention is to remove the vertical line of both ends like (for it to forbid) to the electrical potential difference which a sharpness control terminal applies by [ for which sharpness of screen both ends is not performed ] giving a level sharpness blanking signal.

[0028]

[Means for Solving the Problem] aspect ratio converter 220 to which this invention carries out time amount compression of the received video signal in the wide screen television in which a display screen has the aspect ratio of 16:9 horizontally PIP circuit 230 which inserts a child screen all over a parent screen Said aspect ratio converter 220 And PIP circuit 230 In TV digital disposal circuit which has at least the sharpness circuit which outputs the luminance signal amended after receiving the luminance signal alternatively and raising the visibility of a screen from -- said aspect ratio converter 220 And PIP circuit 230 As opposed to the non-signal period which receives a luminance signal YS and includes the displayed screen right-and-left edge from

-- sharpness blanking creation circuit 280 which generates the sharpness blanking signal for forbidding or reducing the sharpness effectiveness, and is supplied to the sharpness control terminal of said sharpness circuit said sharpness blanking creation circuit 280 from -- sharpness control circuit 275 which has the switch which switches a sharpness blanking signal and the output of the adjustable volume VR which gives an electrical potential difference to said sharpness control terminal It is characterized by providing.

[0029] said sharpness blanking creation circuit 280 one input -- said aspect ratio converter 220 from -- a luminance signal YS -- winning popularity -- an other-end child -- said PIP circuit 230 from -- the OR gate 281 which receives a luminance signal said OR gate 281 1st open drain mold buffer 282 which undergoes an output resistance 283 which gives a time constant to the output of said 1st open drain mold buffer And capacitor 284 2nd open drain mold buffer 285 which undergoes an output with a time constant Buffer transistor 287 for deciding the high-level value of the output of said 2nd open drain mold buffer It has.

[0030]

[Embodiment of the Invention] Drawing 7 is the signal waveform diagram of the former (b, e, f) and this invention (g, d', f') in the drawing 6 display. Wave b (Yin') The wave b of drawing 5 is supported and it is the input signal Yin of drawing 5 . The amount  $td$  ( $td=150 - 180$  ns) of delay It is the delayed signal. Wave e is a secondary differential wave of Wave b, and is equivalent to the wave e of drawing 5 . Moreover, Wave f is the luminance-signal output  $Y_{out}$ , and is equivalent to the wave f of drawing 5 . As a result of adding a secondary differential wave to a right-and-left edge so that clearly from Wave f, an overshoot part of screen both ends will be displayed. On the other hand, from black, since an undershot part is black addition, it will not be conspicuous.

[0031] In this invention, a level sharpness blanking signal like Wave g of drawing 7 is created, and suppose that it adds to the control signal input (it is DC conventionally) terminal of a sharpness circuit (it is  $G=0$  at L level). In that case, like wave d', the secondary differential wave of screen both ends disappears, and is luminance-signal output  $Y_{out}'$  like wave f'. As a result of being obtained, the unnecessary vertical line of screen both ends is removed, and the sharpness effectiveness is acquired in the screen except both ends.

[0032] Drawing 8 is the detail block diagram of the sharpness blanking creation circuit by 1 operation gestalt by this invention, and drawing 9 is each part wave form chart of the sharpness blanking creation circuit shown in drawing 8 . drawing 8 -- setting -- 281 The OR gate and 282 And 285 An open drain CMOS buffer and 283 The resistance for time constants, and 284 The capacitor for time constants, and 286 The resistance for pull-up, and 287 a buffer transistor -- it comes out. Sharpness control circuit 275 A change-over switch SW is connected to the B side. 282 285 [ and ] usually -- a CMOS buffer -- it is -- threshold  $V_{th}$  about --  $V_{cc}/2$  it is .

[0033] illustration -- like -- the OR gate 281 one input -- aspect ratio conversion circuit 220 from -- YS signal -- winning popularity -- the input of another side -- PIP Circuit 230 from -- YS signal is received. Moreover, buffer 285 An output is a transistor 287. It connects with the B side of a change-over switch SW with an emitter side, and is a transistor 287. The base is connected to the A side of a change-over switch SW. And the B side of a change-over switch SW is the sharpness circuit 270. It connects with T terminal.

[0034] In the wave form chart of drawing 9 , wave a-f is the same as that of wave a-f of drawing 5 . Therefore, the explanation about these waves is omitted and the wave g or subsequent ones is explained. Wave g is an output wave from the OR gate. This wave g is the change-over circuit 240. Component signal (Y, color-difference signal) The time location is in agreement. Wave h is

resistance 283. Capacitor 284 It starts with the time constant to depend, an edge finds the integral, and it is a threshold  $V_{th}$ . Although delay of  $2td(s)$  is produced near (= abbreviation  $V_{cc}/2$ ), there is little delay of a fall edge. Wave i is a buffer 285. It is an output and is a transistor 287. H level value is determined according to an emitter electrical potential difference.

[0035] If Wave i is added to the sharpness control terminal T through the B side of a change-over switch SW, the output wave  $Y_{out}$  will become like wave f of drawing 9, and the secondary differential wave of screen both ends will not be added, therefore the white vertical line of a screen right-and-left edge will disappear.

[0036]

[Effect of the Invention] Since screen both ends can carry out sharpness control by giving a sharpness blanking signal according to this invention as explained above, the white vertical line of the screen both ends to which screen quality was reduced is effectively removable conventionally.

---

[Translation done.]

## CLAIMS

---

[Claim(s)]

[Claim 1] The aspect ratio converter in the wide screen television in which a display screen has the aspect ratio of 16:9 which carries out time amount compression of the received video signal horizontally, In TV digital disposal circuit which has at least the sharpness circuit which outputs the luminance signal amended after receiving alternatively the luminance signal from the PIP circuit which inserts a child screen, and said aspect ratio converter and a PIP circuit and raising the visibility of a screen all over a parent screen As opposed to the non-signal period which receives the luminance signal from said aspect ratio converter and a PIP circuit, and includes the displayed screen right-and-left edge The sharpness blanking creation circuit which generates the sharpness blanking signal for forbidding or reducing the sharpness effectiveness, and is supplied to the sharpness control terminal of said sharpness circuit, TV digital disposal circuit characterized by providing the sharpness control circuit which has the switch which switches the sharpness blanking signal from said sharpness blanking creation circuit, and the output of the adjustable volume which gives an electrical potential difference to said sharpness control terminal.

[Claim 2] Said sharpness blanking creation circuit The OR gate which receives the luminance signal from said aspect ratio converter in one input, and receives the luminance signal from said PIP circuit in an other-end child, The 1st open drain mold buffer which undergoes the output of said OR gate, The resistance and the capacitor which give a time constant to the output of said 1st open drain mold buffer, TV digital disposal circuit [ equipped with the buffer transistor for deciding the high-level value of the output of the 2nd open drain mold buffer which undergoes an output with a time constant, and said 2nd open drain mold buffer ] according to claim 1.

(10) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93842

(43) 公開日 平成10年(1998)4月10日

(51) Int.CI  
H04N 5/208  
7/01

識別記号

P I  
H04N 5/208  
7/01

G

審査請求 本請求 汎求項の数2 OL (全8頁)

(21) 出願番号

特願平3-211629

(22) 出願日

平成8年(1996)8月9日

(71) 出願人

590001869  
エルジー電子株式会社大韓民国, ソウル特別市永登浦区汝矣島洞  
20

(72) 発明者

五十界 勝男  
東京都台東区台東2-30-10 台東オリエ  
ントビル エルジー電子株式会社 東京研  
究所内

(73) 代理人

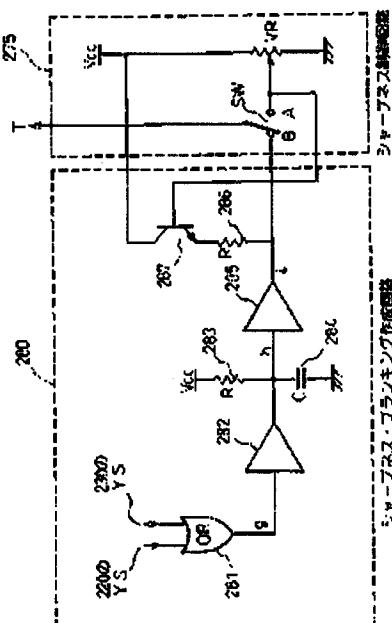
弁理士 石田 敏 (外3名)

(54) 【発明の名称】 TV信号処理回路

## (57) 【要約】

【課題】 本発明はTV信号処理回路に関し、シャープネス制御端子にシャープネス・ブランкиング信号を与えることにより画面両端の振揺を除去することを目的とする。

【解決手段】 映像信号を水平方向に時間圧縮するアスペクト比変換器と、該回路中に子画面を挿入するPIP回路と、画面の鮮明度を高めるシャープネス回路とを少なくとも有するTV信号処理回路において、アスペクト比変換器及びPIP回路からの輝度信号を受け、表示された画面左右端部を含む無信号期間に対してシャープネス・ブランкиング信号を発生し、シャープネス回路のシャープネス制御端子に供給するシャープネス・ブランкиング作成回路と、シャープネス・ブランкиング信号とシャープネス制御端子に電圧を与える可変ボリュームの出力とを切り換えるスイッチを有するシャープネス制御回路とを備える。



(2) 特開平10-93842

1

2

## 【特許請求の範囲】

【請求項1】 表示画面が16:9のアスペクト比を持つ横長テレビにおける、受信した映像信号を水平方向に時間圧縮するアスペクト比変換器と、該画面中に子画面を挿入するPIP回路と、前記アスペクト比変換器及びPIP回路からの輝度信号を選択的に受け画面の鮮明度を高めた後補正された輝度信号を出力するシャープネス回路とを少なくとも有するTV信号処理回路において、前記アスペクト比変換器及びPIP回路からの輝度信号を受け、表示された画面左右端部を含む無信号期間に対して、シャープネス効果を禁止又は低減させるためのシャープネス・ブランкиング信号を発生し、前記シャープネス回路のシャープネス制御端子に供給するシャープネス・ブランкиング作成回路と、前記シャープネス・ブランкиング作成回路からのシャープネス・ブランкиング信号と、前記シャープネス制御端子に電圧を与える可変ボリュームの出力とを切り換えるスイッチを有するシャープネス制御回路と、を具備することを特徴とするTV信号処理回路。

【請求項2】 前記シャープネス・ブランкиング作成回路は、一方の入力に前記アスペクト比変換器からの輝度信号を受け、他方の端子に前記PIP回路からの輝度信号を受けるORゲートと、前記ORゲートの出力を受ける第1のオーブンドレイン型バッファと、前記第1のオーブンドレイン型バッファの出力に時定数を与える抵抗及びコンデンサと、時定数を持った出力を受ける第2のオーブンドレイン型バッファと、前記第2のオーブンドレイン型バッファの出力のハイレベル値を決めるためのバッファトランジスタと、を備えた請求項1に記載のTV信号処理回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はTV信号処理回路に関するものである。特に16:9のアスペクト比を持つ横長テレビ(TV)において、水平方向に時間圧縮するアスペクト比変換器と、画面の鮮明度を高めるシャープネス回路を有するTV信号処理回路において、表示された画面左右端部を含む無信号期間について、シャープネス効果を禁止又は低減させる制御信号(シャープネス・ブランкиング信号)をシャープネス回路制御端子に加えることにより、画面左右端部の2次微分高域信号成分を取り除く又は低減させるシャープネス制御を行う横長TV用シャープネス回路に関するものである。

## 【0002】

【従来の技術】 図1は横長TVの表示モードの説明図である。本図は16:9アスペクト比の横長TVにおいて、映像信号が4:3アスペクト比の映像ソフトの場合、丸い円がどのように表示されるか説明するものである。(A)は「フルモード表示」の場合で、16:9アスペクト比であるから、「円形」は水平方向に引き伸ば

されて「橢円」に表示される。

【0003】 (B)は「ノーマルモード表示」の場合で、映像信号をデジタル処理して水平方向に3/4圧縮すると歪みの無い映像が表示される。この場合、左右に映像の無い黒部分(斜線部分)が生じる。(C)①～③は「PIP/POP表示」の場合で、別の映像ソフトをフレーム同期及び圧縮して該画面にはめ込み、2画面又は多画面を表示する。①は該画面内に別の映像ソフトを表示した場合でPIP(picture in picture)と称し、②及び③は該画面を外れて別の映像ソフトを表示した場合でPOP(picture out of picture)と称する。

【0004】 これらのモードについて、以下に詳細に説明する。説明を簡単にするために入力映像信号は4:3アスペクト比の円形パターンとする。この円形パターンを16:9アスペクト比の画面にそのまま表示すると、(A)に示すように、水平方向に4/3倍引き伸ばされた橢円に表示される。この場合、さらに垂直方向に4/3倍引き伸ばす操作を行えば「円形」になるが、上下がカットされた円形(図示せず)になる。ところで、入力映像信号ソフトがいわゆる「レターボックス」(Letter Box)方式で、16:9アスペクト比の映像ソフト(Vista r Size)であれば、上下の黒部分がカットされるので、視覚的に丁度良い表示形態になる。

【0005】 横長TVの目的の1つは上記のようなレターボックス方式のNTSC信号等に対応するためである。但し、この場合、上下の黒部分の走査線(約120本)が失われ、有効走査線480本の内、360本で表示される。また、(A)のフルモード表示に対応した映像ソフトとしては、ハイビジョン(Hivision)方式をNTSC方式に変換したもの、即ち、MUSE/NTSC変換信号、又はビデオカメラ16:9アスペクト比信号、等がある。この場合、上下の拡大を行わなくてもそのまま16:9アスペクト比のフルモードで対応可能である。

【0006】 現在、大部分の映像ソフトは4:3アスペクト比である。16:9アスペクト比で表示するには、前述のように左右を3/4倍に圧縮して表示すれば良い。(B)は左右を圧縮した画面である。この圧縮の方法としては、a) デジタル信号処理回路により映像信号を圧縮する、b) 水平偏光サイズを圧縮する、等である。但し、別の映像ソフト(2画面表示)を表示する時に、a)の場合にはPIP表示及びPOP表示ともに可能であるが、b)の場合にはPIP表示は可能であるが、POP表示は不可能である。

【0007】 図2及び図3は横長TV信号処理系のブロック図である。図中、100はRF入力用アンテナ、110はアンテナ分配器(DV)、120はメインチューナ(I/F検波:IF1)、130はサブチューナ(I/F検波:IF2)、140はメインビデオ信号用セレクタ(SEL1)、150はサブビデオ信号用セレクタ(SEL2)、SSは選択信号、155は外部ビデオ入力端子(EXT)、160はメインビデオY/C分離回路(Y/C

(3)

特開平10-93842

3

1) 170 はサブビデオY/C 分離回路(Y/C2)、180 はメイン・カラーデコーダ(D1)、190 はメイン同期分離AFC 回路(AFC1)、200 はサブ・カラーデコーダ(D2)、210 はサブ同期分離AFC 回路(AFC2)、220 はメイン・アスペクト比変換器(ARC)、230 はPIP/POP 回路、240 はビデオ切換回路、250 は遅延線/LPF(DLY)、260 はY/色差マトリクス回路、270 はシャープネス回路(SHP)、275 はシャープネス制御回路(SHPC)、280 はシャープネス・ブランкиング作成回路(SHPC)、である。

【0008】この回路の動作を以下に詳しく説明する。アンテナ100 からRFテレビ信号が入力されると、分配器110 を経てメインチューナ120 及びサブチューナ130 に分配される。メインチューナ120 は親画面(メイン画面)用のチューナであり、サブチューナ130 は子画面(サブ画面)用である。以下は親画面系の信号処理についての説明である。

【0009】メインチューナ120 では、映像検波出力から映像信号(複合ビデオ信号)が出力される。この複合ビデオ信号はセレクタ140 に入力され、セレクタ140 は外部ビデオ入力端子155 からのビデオ信号等も含めて1 つの映像信号を選択する。なお、映像信号と音声信号は同時に入力されるが、本説明では音声については省略する。

【0010】セレクタ140 からの複合ビデオ信号はY/C 分離回路150 にて輝度信号(Y信号)と搬送色信号(C信号)に分離される。Y/C 分離を行うには、通常、C信号用BPF、Y信号用サブキャリア・トラップを使用した1次元フィルター、遅延線を使用した2次元フィルター、フレームメモリを使用した3次元フィルター、等が使用される。

【0011】C信号はカラーデコーダ180 にてカラー復調されてR-Y 及びB-Y の色差信号を出力する。また、Y信号からは同期分離AFC 回路190 から水平同期信号HD 及び垂直同期信号VD が分離して生成される。アスペクト比変換器(ARC)220 は、Y、R-Y、B-Y 等のコンポーネント信号を時間軸圧縮するために設けられる。この回路はこれらのコンポーネント信号を、A/D変換器221 にてA/D 変換し、これをラインメモリ(LM)222 に一旦格納し、さらに読み出してD/A 変換器223 にてD/A 変換することにより時間軸圧縮する。この場合、A/D 及びメモリ書き込みクロックの4/3倍の周波数をもつ読み出しクロックにてラインメモリ222 から読み出し、D/A 変換する。

【0012】この場合、書き込み及び読み出しクロックは全て親画面用の同期分離AFC 回路190 の出力信号であるHD信号及びVD信号に同期して行われる。例えば、水平同期信号をf<sub>H</sub> (NTSC: 15.734264KHz) とし、書き込みクロックをf<sub>W</sub> とし、読み出しクロックをf<sub>R</sub> とすると、

$$f_w = 13.5 \text{ MHz} = 858 \times f_H$$

$$f_R = 4/3 \times f_H = 18 \text{ MHz} = 1144 f_H$$

となる。

4

【0013】上述のように、ラインメモリ222 を経由して時間軸圧縮することができが、時間軸圧縮された時、映像信号の無い箇所が水平プランキング以外の部分にも生じる。その部分の信号レベルは、通常、Y信号はペデスタルレベル(映像クランプレベル)である。また、R-Y、B-Y信号は色差信号センターレベル(クランプレベル)に固定される。

【0014】上述のコンポーネント(Y、R-Y、B-Y色差信号)出力信号は、切換回路240 に入力され、その内部の

10 クランプ回路(CLPI)241 にてクランプされる。アスペクト比変換器(ARC)220内のクロック・タイミング発生器(CG TG)224では、同期分離AFC 回路210 から水平同期信号HD 及び垂直同期信号VDを受け、水平同期信号HDから水平クランプ信号CLP 及び映像期間信号YSが生成され、切換回路240に入力される。

【0015】次にPIP/POP 表示のための子画面(サブ画面)系の信号処理を以下に詳しく説明する。なお、サブチューナ130、セレクタ150、Y/C 分離回路170、カラーデコーダ200、同期分離AFC 回路210 は、親画面系の20 それと同様なので説明を省略する。PIP/POP 表示は親画面と異なる(同一でもよい)ビデオ信号で、通常は親画面の構造それぞれ1/3位の大きさであり、親画面の一部(PIP) 又は左右黒部分(POP) に重ねて表示される。勿論、画面の大きさは1/3に限らず、1/2、1/4等も可能である。また、多画面表示も可能である(但し、動画は1画面に制限する場合が多い)。

【0016】PIP 用のコンポーネント信号(Y、R-Y、B-Y)は、A/D 変換器231 にてA/D 変換され、フレームメモリ232 に書き込まれる。この場合、走査線の1/3間引き及び水平方向 DOT の1/3間引きが行われる。書き込み時は同期信号AFC 回路210 からの水平同期信号HD 及び垂直同期信号VDに同期する。フレームメモリ232 からは、親画面の同期分離AFC 回路190 からの水平同期信号HD 及び垂直同期信号VDに同期したクロックで読み出され、D/A 変換器238 にてD/A される。この場合、親画面と同様にクロック・タイミング発生器234 から書き込みクロックf<sub>W</sub> と、読み出しクロックf<sub>R</sub> を、A/D 変換器231、フレームメモリ232 及びD/A 変換器238 にそれぞれ図示のように出力する。

40 【0017】通常は親画面と子画面の同期信号は一致しないので、読み出しの時は親画面の同期信号に同期させるため、フレーム同期をとる。そのためにもフレームメモリ(FM)232 が必要である。PIP 回路230 からはフレーム同期され、映像圧縮された子画面用のコンポーネント信号(Y、R-Y、B-Y)と、子画面の映像信号の範囲を示すYS 信号が输出され、切換回路240 に入力され、内部のクランプ回路(CLPI)243 にてクランプされる。この場合、クランプレベルは親画面と同一レベルであり、親と子の画面を合成する時にレベル差が生じない。

50 【0018】また、コンポーネント信号が無い部分は、

(4)

特開平10-93842

5

親画面の時と同様に、Y信号についてはペデスター・レベル（クランプ）、R-Y 及びB-Y 信号についてはセンター・レベル（クランプ）である。次に親画面は切り出し回路(CUT1)242 で、子画面は切り出し回路(CUT2)244 で、各々のYS信号に応じてコンポーネント信号を切り出しがた合成される。但し、親画面のYS信号はPIP のYS信号が存在する部分を除くので、インバータ回路245及びAND回路246 にてYS信号を加工してから切り出し回路242 により信号を切り出す。切り出される以外の時間は、各々のクランプ信号レベル（前述のように、Y信号ではペデスター・レベル、R-Y 及びB-Y 信号ではセンター・レベル）となる。

【0019】次に、Y信号はシャープネス回路(SHP)270 にて画面の鮮明度を付加（ユーザによるコントロール）されて出力される。鮮明度の付加量はシャープネス制御回路(SHPC)275 のスイッチSWをA側に接続した状態で可変ボリュームVR（図8参照）にてDC電圧を制御することにより行われる（なお、スイッチSWは従来は設けられておらず、可変ボリュームVRの出力とシャープネス回路270 は直接接続されていたが、後述する本発明のシャープネス・ブランкиング作成回路280 との切換のために設けられた。従って、スイッチSWのB側とシャープネス・ブランкиング作成回路280 については本発明の本質的な部分なので後述する図8にて説明する）。

【0020】ところで、シャープネス回路270 では若干の遅延（約150～200 ns）を生じるので、R-Y 及びB-Y 信号に対して同量の遅延を与えるため、遅延線又はLPF(DLY)250を設ける。次に、R-Y 及びB-Y 信号はY/C 色差マトリクス回路260 内のクランプ回路(CLPI)261 に入力され、色相制御(tint control)、色調制(color level control)を行い、RGBマトリクス回路263 に入力される。なお、290 はコントラスト制御であり、300 は輝度制御であり、310 は色相制御であり、320 は色制御である。

【0021】一方、シャープネス回路270 を経たY信号はクランプ回路262 にてクランプされ、輝度制御(brightness control)、コントラスト制御(contrast control)された後、RGBマトリクス回路263 に入力され、R-Y 及びB-Y 信号と間でマトリクスをとりR, G, B信号となる。R, G, B信号はビデオアンプで増幅され、CRTのRGB陰極に各々供給されてCRT管面に表示される。

【0022】図4は図3に示すシャープネス回路の詳細ブロック図であり、図5は図4回路の各点における信号波形図である。図4において、271 及び272 は遅延要素（伝達関数Z）である。また、273, 275, 277 は加算回路、274, 276は乗算回路である。なお、乗算回路274 は固定1/2倍であり、乗算回路276 は係数Gを与える。この値はユーザの制御で決まる量である。さらに、伝達関数Z =  $e^{-\frac{1}{2}t}$ と表される。また、遅延量td はNTSC方式のY信号の場合、td = 150～180 nsが画面鮮明度の点で

6

有効とされる。なお、eは自然対数、Sはラプラス変換の演算子である。入力Yin 及びYoutは図2のシャープネス回路270 のそれに対応する。

【0023】図6を参照しつつ図4の各点の信号波形について以下に説明する。今、a点に図示の波形の映像信号Yin を与えたとする（伝達関数1）。そして、b点の波形はa点の波形より遅延回路271 による遅延量td(150～180 ns)だけ遅延する（伝達関数Z）。さらにc点の波形は遅延回路271 及び272 による遅延量2td(300～360 ns)だけ遅延する（伝達関数Z<sup>2</sup>）。また、d点の波形はa点の波形とc点の波形を加算し、1/2倍したものである（伝達関数(1 + Z<sup>2</sup>)/2）。また、e点の波形はb点の波形とd点の波形から図示のように2次微分波形となり（伝達関数Z<sup>2</sup>-(1 + Z<sup>2</sup>)/2）、さらに乗算回路276 にて乗算(G倍)され、加算回路277 にてf点の波形に加算され、f点の出力波形(Yout)となる（伝達関数Z<sup>2</sup>-G(Z<sup>2</sup>-(1 + Z<sup>2</sup>)/2)）。f点の波形はプレショット/オーバーシュート(preshoot/over shoot)をもった鮮明度の高い映像信号となる。

【0024】また、f点の波形は遅延回路271 によりa点の波形と比べて遅延量tdだけ遅延している。従って、図3の遅延線250 ではR-Y 及びB-Y 信号を同量だけ遅延させる必要がある。ここで、G=0の場合は、元の信号に加算する2次微分分量がりになり、映像信号は元のままで遅延量がtdの信号となる。また、Gが負の場合は立ち上がりエッジが元の信号のエッジよりさらに緩やかになり、Gが正の場合はエッジは立ち上がっててくる。Gを大きくしすぎると、S/Nが悪化し、オーバーシュートが目立ち画質の劣化を生じる。Gが適正な場合は画像が鮮明に見える効果がある。

【0025】  
【発明が解決しようとする課題】図6は「ノーマルモード表示」の画面を示すが、画面両端にシャープネスによる白縦線が表示されることになる。また、両端部以外の映像表示区間A の内部はシャープネス効果は適性であるが、区間A の両端部の白縦線は視覚的に不適切である。特に両端部の輝度が高い場合にはより白縦線が強調されて見え、目障りなものとなる。

【0026】この白縦線は次の理由で生じる。即ち、図4のシャープネス回路270 のコントロール端子Tにはシャープネス制御回路275 の可変ボリュームVR（図8参照）により所定の電圧が印加され（この場合、スイッチSWはA側に接続されている）、画面全体についてシャープネスが制御される。その結果、図示のようなノーマルモード表示時には画面両端部に不必要な白縦線が生じることになる。

【0027】そこで、本発明の目的は、シャープネス制御端子の加える電圧に対して、画面両端部のシャープネスを行わない（禁止する）ように、水平シャープネス・ブランкиング信号を与えることにより両端の縦線を除去

(5)

特開平10-93842

7

8

することにある。

【0028】

【課題を解決するための手段】本発明は、表示画面が16:9のアスペクト比を持つ構造テレビにおける、受信した映像信号を水平方向に時間圧縮するアスペクト比変換器220と、該画面中に子画面を挿入するP+P回路230と、前記アスペクト比変換器220及びP+P回路230からの輝度信号を選択的に受け画面の鮮明度を高めた後補正された輝度信号を出力するシャープネス回路とを少なくとも有するTV信号処理回路において、前記アスペクト比変換器220及びP+P回路230からの輝度信号YSを受け、表示された画面左右端部を含む無信号期間に対して、シャープネス効果を禁止又は低減させるためのシャープネス・ブランкиング信号を発生し、前記シャープネス回路のシャープネス制御端子に供給するシャープネス・ブランкиング作成回路280と、前記シャープネス・ブランкиング作成回路280からのシャープネス・ブランкиング信号と、前記シャープネス制御端子に電圧を与える可変ボリュームVRの出力とを切り換えるスイッチを有するシャープネス制御回路275と、を具備することを特徴とする。

【0029】前記シャープネス・ブランкиング作成回路280は、一方の入力に前記アスペクト比変換器220からの輝度信号YSを受け、他方の端子に前記P+P回路230からの輝度信号を受けるORゲート281と、前記ORゲート281の出力を受ける第1のオープンドレイン型バッファ282と、前記第1のオープンドレイン型バッファの出力に時定数を与える抵抗283及びコンデンサ284と、時定数を持った出力を受ける第2のオープンドレイン型バッファ285と、前記第2のオープンドレイン型バッファの出力のハイレベル値を決めるためのバッファトランジスタ287と、を備える。

【0030】

【発明の実施の形態】図7は図6表示における従来(b, e, f)と本発明(g, d', f')の信号波形図である。波形b('Yin')は図5の波形b'に対応しており、図5の入力信号Yinを遅延量td(td=150~180 ns)遅延させた信号である。波形eは波形b'の2次微分波形であり、図5の波形e'に対応する。また、波形f'は輝度信号出力Yout'であり、図5の波形f'に対応する。波形f'から明らかなように左右端に2次微分波形が加算される結果、画面両端部のオーバーシュート分が表示されることになる。一方、アンダーシュート分は黒よりも黒の加算なので目立たないことになる。

【0031】本発明では、図7の波形g'のような水平シャープネスブランкиング信号を作成し、シャープネス回路の制御信号入力(従来はDC)端子に加える(レベルでG=0)とする。その場合、波形d'のように画面両端部の2次微分波形は消えて、波形f'のような輝度信号出力Yout'が得られる結果、画面両端部の不用な縦

縦は取り除かれ、両端部を除いた画面内にシャープネス効果が得られる。

【0032】図8は本発明による一実施形態によるシャープネス・ブランкиング作成回路の詳細ブロック図であり、図9は図8に示すシャープネス・ブランкиング作成回路の各部波形図である。図8において、281はORゲート、282及び285はオープンドレインCMOSバッファ、283は時定数抵抗、284は時定数コンデンサ、286はブルアップ用抵抗、287はバッファトランジスタ、である。シャープネス制御回路275の切換スイッチSWはB側に接続する。282及び285は通常、CMOSバッファであり、しきい値Vthは約Vcc/2である。

【0033】図示のように、ORゲート281の一方の入力はアスペクト比変換回路220からのYS信号を受け、他方の入力はP+P回路230からのYS信号を受ける。また、バッファ285の出力はトランジスタ287のエミッタ側と共に切換スイッチSWのB側に接続され、トランジスタ287のベースは切換スイッチSWのA側に接続される。そして、切換スイッチSWのB側はシャープネス回路275のT端子に接続される。

【0034】図9の波形図において、波形a~fは図5の波形a~fと同様である。従って、これらの波形についての説明を省略し、波形g以降について説明する。波形gはORゲートからの出力波形である。この波形gは切換回路240のコンポーネント信号(Y、色差信号)と時間的な位置は一致している。波形hは、抵抗283とコンデンサ284による時定数により立上がりエッジが積分され、しきい値Vth(=約Vcc/2)付近で2tdの遅延を生じるが、立下がりエッジの遅延は少ない。波形iはバッファ285の出力であり、トランジスタ287のエミッタ電圧に応じてHレベル値が決定される。

【0035】波形iを切換スイッチSWのB側を経てシャープネス制御端子Tに加えると出力波形Yout'は、図9の波形f'のようになり、画面両端の2次微分波形は計算されず、従って、画面左右端の白縦線は消滅する。

【0036】

【発明の効果】以上説明したように、本発明によれば、シャープネス・ブランкиング信号を与えることにより画面両端のシャープネス制御することができる。従来、画面品質を低下させていた画面両端の白縦線を効果的に除去することができる。

【図面の簡単な説明】

【図1】構長TVの表示モードの説明図であり、(A)はフルモード表示、(B)はノーマルモード表示、(C)はP+P/POP表示の説明図である。

【図2】構長TV信号処理系のブロック図(その1)である。

【図3】構長TV信号処理系のブロック図(その2)である。

【図4】図3に示すシャープネス回路の詳細ブロック図

(6)

特開平10-93842

9

10

である。

【図5】図4回路の各点における信号波形図である。

【図6】ノーマルモード表示の画面説明図である。

【図7】図6表示における従来(b, e, f)と本発明の信号波形図(g, d', f')の説明図である。

【図8】本発明による一実施形態によるシャープネス・ブランкиング作成回路の詳細ブロック図である。

【図9】図8に示すシャープネス・ブランкиング作成回路の各部波形図である。

【符号の説明】

100 …RF入力用アンテナ

110 …アンテナ分配器(DV)

120 …メインチューナ(I/F検波:IF1)

130 …サブチューナ(I/F検波:IF2)

140 …メインビデオ信号用セレクタ(SEL1)

150 …サブビデオ信号用セレクタ(SEL2)

\* SS…選択信号

155 …外部ビデオ入力端子(EXT)

160 …メインビデオY/C 分離回路(Y/C1)

170 …サブビデオY/C 分離回路(Y/C2)

180 …メイン・カラーデコーダ(D1)

190 …メイン同期分離AFC回路(AFC1)

200 …サブ・カラーデコーダ(D2)

210 …サブ同期分離AFC回路(AFC2)

220 …メイン・アスペクト比変換器(ARC)

10 230 …PIP/POP回路

240 …ビデオ切換回路

250 …運延線/LPF(DLY)

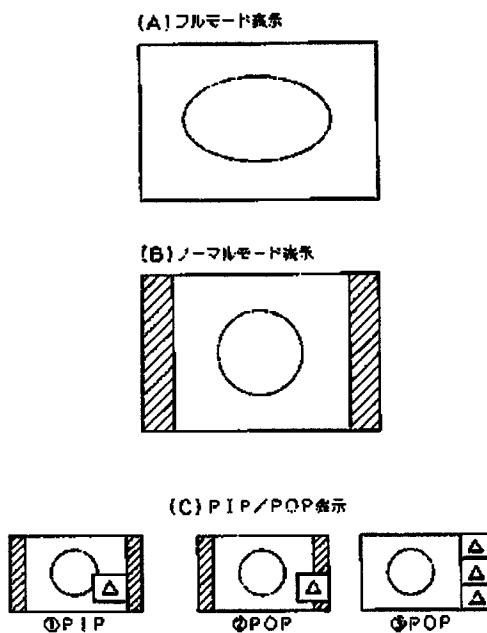
260 …Y/色差マトリクス回路

270 …シャープネス回路(SHP)

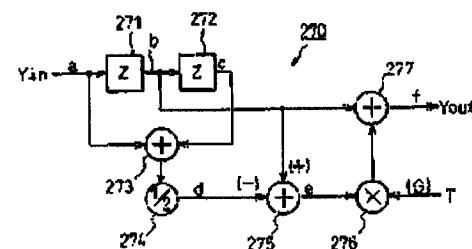
275 …シャープネス制御回路(SHPC)

\* 280 …シャープネス・ブランкиング作成回路(SHPB)

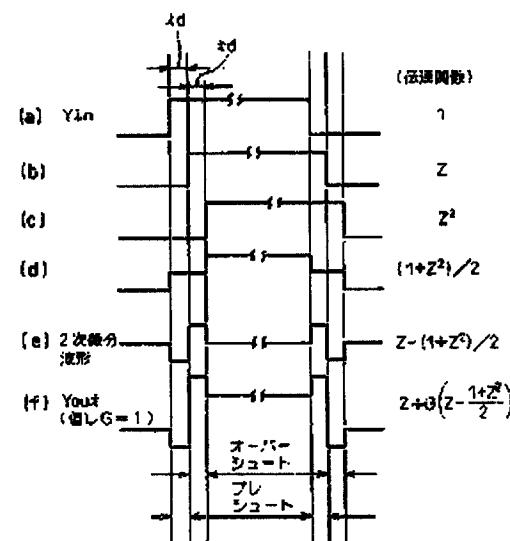
【図1】



【図4】



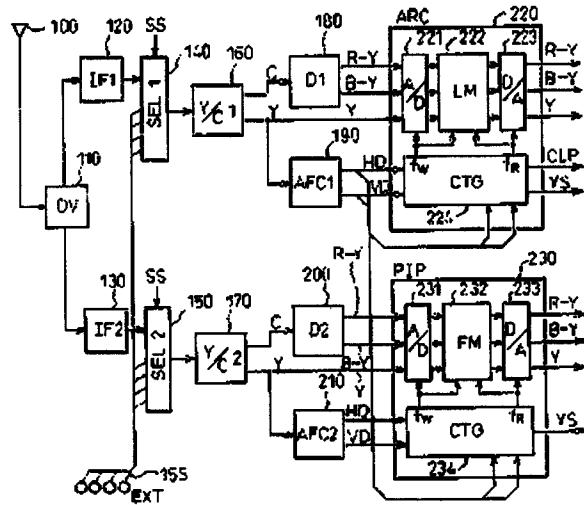
【図5】



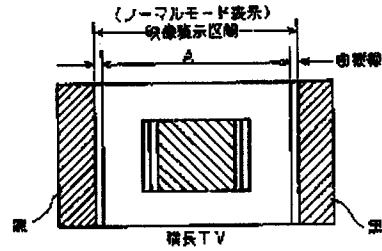
(7)

特開平10-93842

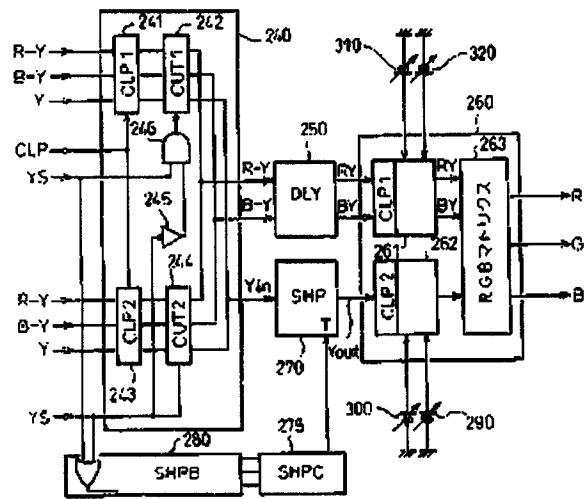
【図2】



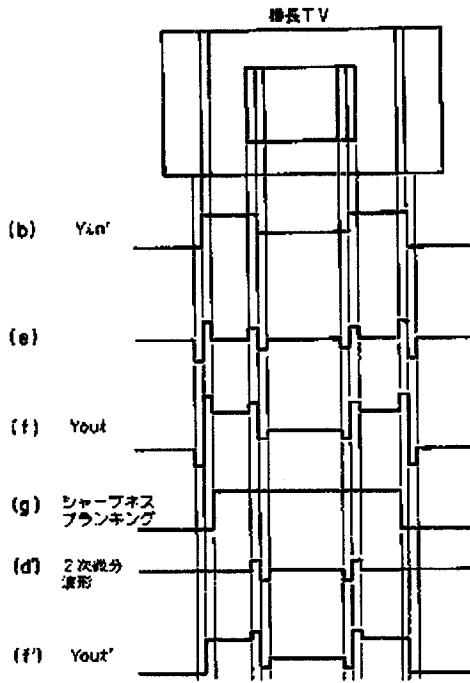
【図6】



【図3】



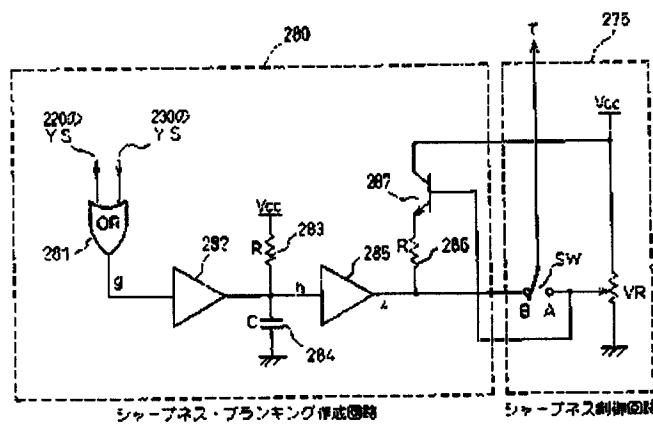
【図7】



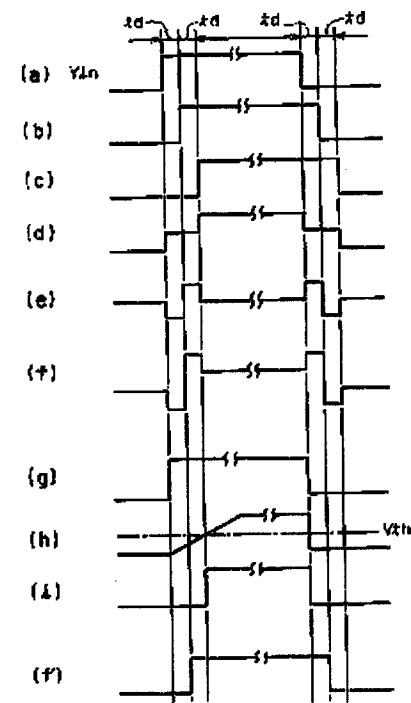
(8)

特開平10-93842

【図8】



【図9】



JP 1998-93842 A5 2004.8.26

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成16年8月26日(2004.8.26)

【公開番号】特開平10-93842

【公開日】平成10年4月10日(1998.4.10)

【出願番号】特願平8-211629

【国際特許分類第7版】

H 04 N 5/208

H 04 N 7/01

【F I】

H 04 N 5/208

H 04 N 7/01

G

【手続補正書】

【提出日】平成15年8月11日(2003.8.11)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

上述のように、ラインメモリ222を経由して時間軸圧縮することができるが、時間軸圧縮された時、映像信号の無い個所が水平ブランкиング以外の部分にも生じる。その部分の信号レベルは、通常、Y信号はペデスタルレベル(映像クランプレベル)である。また、R-Y, B-Y信号は色差信号センターレベル(クランプレベル)に固定される。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

図4は図3に示すシャープネス回路の詳細ブロック図であり、図5は図4の回路の各点における信号波形図である。図4において、271及び272は遅延要素(伝達関数Z)である。また、273, 275, 277は加算回路、274, 276は乗算回路である。なお、乗算回路274は固定1/2倍であり、乗算回路276は係数Gを与え、この値はユーザの制御で決まる量である。さらに、伝達関数 $Z = e^{-\frac{S}{2}td}$ と表される。また、遅延量tdはNTSC方式のY信号の場合、 $td = 150 \sim 180$  nsが画面鮮明度の点で有効とされる。なお、eは自然対数、Sはラプラス変換の演算子である。入力Yin及びYoutは図2のシャープネス回路270のそれに対応する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

【発明の実施の形態】

図7は図6の表示における従来(b, e, f)と本発明(g, d', f')の信号波形図である。波形b(Yin')は図5の波形bに対応しており、図5の入力信号Yinを遅延量td( $td=150 \sim 180$  ns)遅延させた信号である。波形eは波形bの2次微分波形であり、図5

の波形  $e$  に対応する。また、波形  $f$  は輝度信号出力  $Y_{out}$  であり、図 5 の波形  $f$  に対応する。波形  $f$  から明らかなように左右端に 2 次微分波形が加算される結果、画面両端部のオーバーシュート分が表示されることになる。一方、アンダーシュート分は 黒より 黒の加算なので目立たないことになる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

【発明の効果】

以上説明したように、本発明によれば、シャープネス・ランギング信号を与えることにより画面両端のシャープネス制御を行なうことができる、従来、画面品質を低下させていた画面両端の白縦線を効果的に除去することができる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正の内容】

【図面の簡単な説明】

【図 1】横長TVの表示モードの説明図であり、(A) はフルモード表示、(B) はノーマルモード表示、(C) はPIP/POP表示の説明図である。

【図 2】横長TV信号処理系のブロック図(その1)である。

【図 3】横長TV信号処理系のブロック図(その2)である。

【図 4】図3に示すシャープネス回路の詳細ブロック図である。

【図 5】図4の回路の各点における信号波形図である。

【図 6】ノーマルモード表示の画面説明図である。

【図 7】図6の表示における従来(b, e, f)と本発明の信号波形図(g, d', f')の説明図である。

【図 8】本発明による一実施形態によるシャープネス・ランギング作成回路の詳細ブロック図である。

【図 9】図8に示すシャープネス・ランギング作成回路の各部波形図である。

【符号の説明】

100 …RF入力用アンテナ

110 …アンテナ分配器(DV)

120 …メインチューナ(I/F検波:IF1)

130 …サブチューナ(I/F検波:IF2)

140 …メインビデオ信号用セレクタ(SEL1)

150 …サブビデオ信号用セレクタ(SEL2)

SS…選択信号

155 …外部ビデオ入力端子(EXT)

160 …メインビデオY/C 分離回路(Y/C1)

170 …サブビデオY/C 分離回路(Y/C2)

180 …メイン・カラーデコーダ(D1)

190 …メイン同期分離AFC回路(AFC1)

200 …サブ・カラーデコーダ(D2)

210 …サブ同期分離AFC回路(AFC2)

220 …メイン・アスペクト比変換器(ARC)

230 …PIP/POP回路

240 …ビデオ切換回路

(3)

JP 1998-93842 A5 2004.8.26

- 250 …遅延線/LPF(DLY)
- 260 …Y/色差マトリクス回路
- 270 …シャープネス回路(SHP)
- 275 …シャープネス制御回路(SHPC)
- 280 …シャープネス・ブランкиング作成回路(SHPB)